

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 3月10日

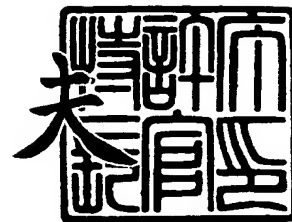
出願番号  
Application Number: 特願2003-062754  
[ST. 10/C]: [JP2003-062754]

出願人  
Applicant(s): セイコーエプソン株式会社

2003年10月30日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 PA04F307

【提出日】 平成15年 3月10日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/146

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 ▲高▼村 孝士

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 110000028

【氏名又は名称】 特許業務法人 明成国際特許事務所

【代表者】 下出 隆史

【電話番号】 052-218-5061

【手数料の表示】

【予納台帳番号】 133917

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0105458

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置およびその製造方法

【特許請求の範囲】

【請求項 1】 固体撮像装置であって、  
マトリクス状に配列された複数の画素を有する画素アレイを備え、  
前記画素は、  
入射光の強度に応じてキャリアを発生させるためのフォトダイオード部と、  
前記発生したキャリアを蓄積するための蓄積部と、  
前記蓄積部に蓄積されるキャリアの数に応じて変化するしきい値電圧に応じた  
信号を出力するための絶縁ゲート型の出力トランジスタ部と、  
前記蓄積部に蓄積されたキャリアを排出させるための絶縁ゲート型のクリアト  
ランジスタ部であって、前記蓄積されたキャリアは、前記クリアトランジスタ部  
のチャネル領域を介して排出される、前記クリアトランジスタ部と、  
を備えることを特徴とする固体撮像装置。

【請求項 2】 請求項 1 記載の固体撮像装置であって、  
前記蓄積部は、前記クリアトランジスタ部のソース領域として機能する、固体  
撮像装置。

【請求項 3】 請求項 1 記載の固体撮像装置であって、  
前記画素は、  
第 1 の伝導型の半導体基板に設けられ、前記画素が形成される第 2 の伝導型の  
画素形成領域と、

前記画素形成領域の内部に形成された第 1 の伝導型の埋込領域であって、前記  
埋込領域は、比較的深い位置に設けられた不純物濃度の比較的低い第 1 の部分埋  
込領域と、比較的浅い位置に設けられた不純物濃度の比較的高い第 2 の部分埋込  
領域と、を含んでおり、前記第 1 の部分埋込領域と前記画素形成領域との接合領  
域は、前記フォトダイオード部を構成し、前記第 2 の部分埋込領域は、前記蓄積  
部を構成する、前記埋込領域と、

前記画素形成領域内に形成され、前記蓄積部から排出されるキャリアが流入す  
る第 1 の伝導型の排出領域と、

を備え、

前記出力トランジスタ部は、前記蓄積部の上方の前記画素形成領域上に、絶縁膜を介して設けられた第1のゲート電極を含み、

前記クリアトランジスタ部は、前記埋込領域と前記排出領域との間の前記画素形成領域上に、絶縁膜を介して設けられた第2のゲート電極を含む、固体撮像装置。

【請求項4】 請求項3記載の固体撮像装置であって、  
前記第1のゲート電極は、略環状の形状を有しており、  
前記出力トランジスタ部は、  
前記第1のゲート電極の内側に設けられたソース領域と、  
前記第1のゲート電極の外側に設けられたドレイン領域と、  
を含む、固体撮像装置。

【請求項5】 請求項3記載の固体撮像装置であって、  
前記画素形成領域は、  
前記埋込領域の下方に設けられた下方領域と、  
前記埋込領域の側方に設けられた側方領域と、  
を含み、  
前記下方領域の不純物濃度は、前記側方領域の不純物濃度よりも高い、固体撮像装置。

【請求項6】 請求項3記載の固体撮像装置であって、  
前記画素形成領域は、  
前記埋込領域の下方に設けられた下方領域と、  
前記埋込領域の側方に設けられた側方領域と、  
を含み、  
前記下方領域の厚みは、前記側方領域の厚みよりも大きい、固体撮像装置。

【請求項7】 請求項3記載の固体撮像装置であって、  
前記第1の伝導型はp型であり、  
前記第2の伝導型はn型であり、  
前記キャリアは、ホールである、固体撮像装置。

【請求項 8】 入射光の強度に応じてキャリアを発生させるためのフォトダイオード部と、前記発生したキャリアを蓄積するための蓄積部と、前記蓄積部に蓄積されるキャリアの数に応じて変化するしきい値電圧に応じた信号を出力するための絶縁ゲート型の出力トランジスタ部と、前記蓄積部に蓄積されたキャリアを排出させるための絶縁ゲート型のクリアトランジスタ部であって、前記蓄積されたキャリアは、前記クリアトランジスタ部のチャネル領域を介して排出される、前記クリアトランジスタ部と、を有する画素がマトリクス状に配列された画素アレイを備える固体撮像装置の製造方法であって、

(a) 前記画素が形成される第 2 の伝導型の画素形成領域と、前記画素形成領域の内部に設けられた第 1 の伝導型の埋込領域と、を有する第 1 の伝導型の半導体基板を準備する工程であって、前記埋込領域は、比較的深い位置に設けられた不純物濃度の比較的低い下部領域と、比較的浅い位置に設けられた不純物濃度の比較的高い上部領域と、を含んでおり、前記下部領域と前記画素形成領域との接合領域は、前記フォトダイオード部を構成する、前記工程と、

(b) 前記出力トランジスタ部を構成する第 1 のゲート電極と、前記クリアトランジスタ部を構成する第 2 のゲート電極と、を前記画素形成領域上に絶縁膜を介して形成する工程であって、前記第 1 のゲート電極は、前記埋込領域の上方に形成され、前記第 2 のゲート電極は、前記埋込領域の端部の上方に形成される、前記工程と、

(c) 前記第 1 のゲート電極を含む領域をマスクとして利用して、前記上部領域にその伝導型を反転可能な不純物を導入することによって、前記第 1 のゲート電極の下方に不純物濃度の比較的高い前記蓄積部を残す工程と、

(d) 前記蓄積部から排出されるキャリアが流入する第 1 の伝導型の排出領域を前記画素形成領域内に形成する工程であって、前記排出領域は、前記第 2 のゲート電極を介して、前記埋込領域と対向する領域に形成される、前記工程と、を備えることを特徴とする製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、しきい値電圧変調型の固体撮像装置に関する。

## 【0002】

### 【従来の技術】

近年、携帯電話やデジタルカメラなどの携帯型の電子機器には、小型の固体撮像装置が搭載されている。このような固体撮像装置として、しきい値電圧変調方式を採用するMOS型の固体撮像装置が開発されている。

## 【0003】

しきい値電圧変調方式のMOS型固体撮像装置は、マトリクス状に配列された複数の画素を備えており、各画素は、1つのフォトダイオードと、1つのトランジスタと、を含んでいる。また、トランジスタのゲート電極の下方には、ホールポケットと呼ばれるホールが集まり易い蓄積部が設けられている。フォトダイオードは、入射光の強度に応じてホールを発生させる。発生したホールは、蓄積部に蓄積される。トランジスタのしきい値電圧は、蓄積部に蓄積されるホールの数に応じて変化する。そして、しきい値電圧の変化に伴って変化するソース電圧を読み出すことによって、入射光の強度に応じたソース電圧、すなわち画素データが得られる。複数の画素に対応する複数の画素データを用いることによって、1枚の画像データが生成される。

## 【0004】

なお、しきい値電圧変調方式のMOS型固体撮像装置については、例えば、特許文献1などに開示されている。

## 【0005】

### 【特許文献1】

特開平11-195778号公報

## 【0006】

### 【発明が解決しようとする課題】

ところで、しきい値電圧変調方式のMOS型固体撮像装置では、画像を撮影する前に、換言すれば、蓄積部にホールを蓄積させる前に、蓄積部内に既に存在するホールを排出（クリア）する必要がある。従来では、蓄積部内のホールは、トランジスタのゲート電極に比較的高い電圧を印加することによって、基板の深さ

方向に向けて排出されていた。

#### 【0007】

しかしながら、従来の方法を用いて、蓄積部のホールを完全に排出するためには、10V程度の高い電圧が必要となる。そのため、低い電圧でホールを排出することが可能な、しきい値電圧変調方式のMOS型固体撮像装置が求められていた。

#### 【0008】

この発明は、従来技術における上述の課題を解決するためになされたものであり、蓄積部内のキャリアを比較的低い電圧で排出することのできる技術を提供することを目的とする。

#### 【0009】

##### 【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明の装置は、固体撮像装置であって、

マトリクス状に配列された複数の画素を有する画素アレイを備え、

前記画素は、

入射光の強度に応じてキャリアを発生させるためのフォトダイオード部と、

前記発生したキャリアを蓄積するための蓄積部と、

前記蓄積部に蓄積されるキャリアの数に応じて変化するしきい値電圧に応じた信号を出力するための絶縁ゲート型の出力トランジスタ部と、

前記蓄積部に蓄積されたキャリアを排出させるための絶縁ゲート型のクリアトランジスタ部であって、前記蓄積されたキャリアは、前記クリアトランジスタ部のチャネル領域を介して排出される、前記クリアトランジスタ部と、を備えることを特徴とする。

#### 【0010】

この装置では、各画素は、クリアトランジスタ部を備えているため、そのチャネル領域を介して蓄積部内のキャリアを容易に排出することが可能となる。

#### 【0011】

ここで、前記蓄積部は、前記クリアトランジスタ部のソース領域として機能す

ることが好ましい。

#### 【0012】

上記の装置において、

前記画素は、

第1の伝導型の半導体基板に設けられ、前記画素が形成される第2の伝導型の画素形成領域と、

前記画素形成領域の内部に形成された第1の伝導型の埋込領域であって、前記埋込領域は、比較的深い位置に設けられた不純物濃度の比較的低い第1の部分埋込領域と、比較的浅い位置に設けられた不純物濃度の比較的高い第2の部分埋込領域と、を含んでおり、前記第1の部分埋込領域と前記画素形成領域との接合領域は、前記フォトダイオード部を構成し、前記第2の部分埋込領域は、前記蓄積部を構成する、前記埋込領域と、

前記画素形成領域内に形成され、前記蓄積部から排出されるキャリアが流入する第1の伝導型の排出領域と、

を備え、

前記出力トランジスタ部は、前記蓄積部の上方の前記画素形成領域上に、絶縁膜を介して設けられた第1のゲート電極を含み、

前記クリアトランジスタ部は、前記埋込領域と前記排出領域との間の前記画素形成領域上に、絶縁膜を介して設けられた第2のゲート電極を含むことが好ましい。

#### 【0013】

こうすれば、画素の構造を比較的簡単にすることができる。具体的には、埋込領域は、フォトダイオード部の一方の半導体領域として機能すると共に、蓄積部として機能する。また、蓄積部を含む埋込領域は、クリアトランジスタ部のソース領域としても機能する。

#### 【0014】

上記の装置において、

前記第1のゲート電極は、略環状の形状を有しており、

前記出力トランジスタ部は、



前記第1のゲート電極の内側に設けられたソース領域と、  
前記第1のゲート電極の外側に設けられたドレイン領域と、  
を含むことが好ましい。

【0015】

こうすれば、画素の構造をさらに簡単にすることができる。

【0016】

上記の装置において、  
前記画素形成領域は、  
前記埋込領域の下方に設けられた下方領域と、  
前記埋込領域の側方に設けられた側方領域と、  
を含み、  
前記下方領域の不純物濃度は、前記側方領域の不純物濃度よりも高いことが好ましい。

【0017】

また、上記の装置において、  
前記画素形成領域は、  
前記埋込領域の下方に設けられた下方領域と、  
前記埋込領域の側方に設けられた側方領域と、  
を含み、  
前記下方領域の厚みは、前記側方領域の厚みよりも大きいことが好ましい。

【0018】

こうすれば、下方領域から埋込領域にキャリアが流入するのを防止することができる。  
この結果、生成される画像の画質を向上させることができる。

【0019】

上記の装置において、  
前記第1の伝導型はp型であり、  
前記第2の伝導型はn型であり、  
前記キャリアは、ホールであってもよい。

【0020】

こうすれば、各画素は、フォトダイオード部で発生したホールを蓄積部に蓄積させることができる。

### 【0021】

本発明の方法は、入射光の強度に応じてキャリアを発生させるためのフォトダイオード部と、前記発生したキャリアを蓄積するための蓄積部と、前記蓄積部に蓄積されるキャリアの数に応じて変化するしきい値電圧に応じた信号を出力するための絶縁ゲート型の出力トランジスタ部と、前記蓄積部に蓄積されたキャリアを排出させるための絶縁ゲート型のクリアトランジスタ部であって、前記蓄積されたキャリアは、前記クリアトランジスタ部のチャネル領域を介して排出される、前記クリアトランジスタ部と、を有する画素がマトリクス状に配列された画素アレイを備える固体撮像装置の製造方法であって、

(a) 前記画素が形成される第2の伝導型の画素形成領域と、前記画素形成領域の内部に設けられた第1の伝導型の埋込領域と、を有する第1の伝導型の半導体基板を準備する工程であって、前記埋込領域は、比較的深い位置に設けられた不純物濃度の比較的低い下部領域と、比較的浅い位置に設けられた不純物濃度の比較的高い上部領域と、を含んでおり、前記下部領域と前記画素形成領域との接合領域は、前記フォトダイオード部を構成する、前記工程と、

(b) 前記出力トランジスタ部を構成する第1のゲート電極と、前記クリアトランジスタ部を構成する第2のゲート電極と、を前記画素形成領域上に絶縁膜を介して形成する工程であって、前記第1のゲート電極は、前記埋込領域の上方に形成され、前記第2のゲート電極は、前記埋込領域の端部の上方に形成される、前記工程と、

(c) 前記第1のゲート電極を含む領域をマスクとして利用して、前記上部領域にその伝導型を反転可能な不純物を導入することによって、前記第1のゲート電極の下方に不純物濃度の比較的高い前記蓄積部を残す工程と、

(d) 前記画素形成領域内に前記蓄積部から排出されるキャリアが流入する第1の伝導型の排出領域を形成する工程であって、前記排出領域は、前記第2のゲート電極を介して、前記埋込領域と対向する領域に形成される、前記工程と、を備えることを特徴とする。

## 【0022】

ここで、工程（c）および工程（d）の順序は、逆であってもよい。また、工程（c）は、工程（d）の途中で実行されていてもよい。

## 【0023】

この方法を採用すれば、本発明の装置を作製することができる。そして、作製された装置では、各画素は、クリアトランジスタ部を備えているため、そのチャネル領域を介して蓄積部内のキャリアを容易に排出することができる。

## 【0024】

また、作製された装置では、第1のゲート電極は、マスクとして利用されているため、蓄積部を、第1のゲート電極の下方に自己整合的に形成することができる。したがって、各画素に含まれる第1のゲート電極と蓄積部との位置関係をほぼ一定にすることができ、この結果、画質の劣化を抑制することが可能となる。

## 【0025】

## 【発明の実施の形態】

以下、本発明の実施の形態を以下の順序で説明する。

- A. 固体撮像装置の構成：
- B. 固体撮像装置の動作：
- C. 固体撮像装置の製造方法：
- D. 画素構造の変形例：

## 【0026】

- A. 固体撮像装置の構成：

図1は、固体撮像装置の全体構成を示す説明図である。この固体撮像装置100は、マトリクス状に配列された複数の画素112を有する画素アレイ110と、タイミング制御回路120と、行制御回路130と、列制御回路140と、出力回路150と、を備えている。

## 【0027】

タイミング制御回路120は、行制御回路130と列制御回路140とに、動作の基準となるタイミング信号を供給する。行制御回路130は、与えられたタイミング信号に従って、複数行のうちの1行を選択する。また、列制御回路14

0は、与えられたタイミング信号に従って、複数列のうちの1列を順次選択する。これにより、マトリクス状に配列された複数の画素の中から任意の1つの画素を選択することができ、選択された画素から信号を読み出すことができる。

#### 【0028】

図2は、図1の画素アレイ110と行制御回路130と列制御回路140との内部構成を示す説明図である。ただし、図2は、1つの画素112に注目して描かれている。

#### 【0029】

図示するように、各画素112は、フォトダイオードPDと、出力トランジスタPT<sub>r</sub>と、クリアトランジスタCT<sub>r</sub>と、を備えている。また、出力トランジスタPT<sub>r</sub>のゲート電極の下方には、ホールが集まり易いホールポケットHPが設けられている。

#### 【0030】

なお、出力トランジスタPT<sub>r</sub>のドレイン領域は、フォトダイオードPDのカソードと、クリアトランジスタCT<sub>r</sub>の基板領域（すなわち、クリアトランジスタのゲート電極の下方の半導体領域）と、に導通している。また、クリアトランジスタCT<sub>r</sub>のソース領域は、フォトダイオードPDのアノードと、ホールポケットHPを含む出力トランジスタPT<sub>r</sub>の基板領域（すなわち、出力トランジスタのゲート電極の下方の半導体領域）と、に導通している。

#### 【0031】

以下では、出力トランジスタPT<sub>r</sub>のゲート電極、ドレイン領域、ソース領域を、それぞれ「出力ゲート」、「出力ドレイン」、「出力ソース」とも呼ぶ。また、クリアトランジスタCT<sub>r</sub>のゲート電極、ドレイン領域、ソース領域を、それぞれ「クリアゲート」、「クリアドレイン」、「クリアソース」とも呼ぶ。

#### 【0032】

フォトダイオードPDは、入射した光を光電変換することによって、電子-ホール対を発生させる。発生する電子-ホール対の数は、入射光の強度が高い程、多い。ホールポケットHPは、フォトダイオードPDで発生したホールを蓄積する。出力トランジスタPT<sub>r</sub>のしきい値電圧は、ホールポケットHPに蓄積され

るホールの数に応じて変化する。この結果、出力トランジスタ  $PTr$  は、入射光の強度に応じたソース電圧を出力することができる。ソース電圧が出力された後に、クリアトランジスタ  $CTr$  は、ホールポケット  $HP$  に蓄積されたホールを排出する。なお、画素の動作については、さらに後述する。

#### 【0033】

行制御回路 130 は、出力トランジスタ  $PTr$  のゲート電極に電圧を印加するための出力ゲート制御部 132 と、出力トランジスタ  $PTr$  のドレイン領域に電圧を印加するための出力ドレイン制御部 134 と、を備えている。また、行制御回路 130 は、クリアトランジスタ  $CTr$  のゲート電極に電圧を印加するためのクリアゲート制御部 136 と、クリアトランジスタ  $CTr$  のドレイン領域に電圧を印加するためのクリアドレイン制御部 138 と、を備えている。ただし、本実施の形態では、出力トランジスタ  $PTr$  のドレイン電圧は、約 3.3 V に保たれており、クリアトランジスタ  $CTr$  のドレイン電圧は、接地電位（約 0 V）に保たれている。したがって、実際には、行制御回路 130 は、出力トランジスタ  $PTr$  のゲート電圧と、クリアトランジスタ  $CTr$  のゲート電圧と、を変更するのみである。

#### 【0034】

列制御回路 140 は、蓄積信号用ラインメモリ 142 と、オフセット信号用ラインメモリ 144 と、水平シフトレジスタ 146 と、を備えている。列制御回路 140 は、読み出し状態のとき、蓄積されたホール数を反映して得られた信号電圧を読み出す。出力回路 150 は、列制御回路 140 から与えられた信号電圧を増幅して、画素データとして出力する。

#### 【0035】

具体的には、列制御回路 140 は、各画素から 2 種類の信号電圧を読み出して出力回路 150 へ供給する。一方の信号電圧は、入射光の強度に応じた電圧である。他方の信号電圧は、ホールポケットに蓄積されたホールをクリアした後に残存するホール数に応じた電圧である。本明細書では、このノイズ成分を含む電圧をオフセット電圧と呼ぶ。そして、出力回路 150 は、この 2 種類の信号電圧の差分を増幅して、画素データとして出力する。

## 【0036】

図3は、画素112のレイアウトを模式的に示す説明図である。図4は、画素112の断面を模式的に示す説明図である。なお、図4では、図3のA-A'断面が示されている。

## 【0037】

画素112は、p型の半導体基板200（図4）上に形成されている。基板200には、n型半導体で構成されたn領域210が形成されており、n領域210内部には、p型半導体で構成されたp領域220が埋め込まれている。すなわち、p領域220は、外部との直接的な電氣的接点を有していないフローティング領域である。p領域220は、比較的深い位置に設けられた不純物濃度の比較的低いp領域221aと、比較的浅い位置に設けられた不純物濃度の比較的高いp領域222bと、を含んでいる。また、n領域210内には、p領域230が形成されている。

## 【0038】

フォトダイオードPDは、n領域210とp領域220との接合部分によって構成されている。

## 【0039】

出力トランジスタPT<sub>r</sub>（図4）は、デプレッション形のnチャネルMOSトランジスタである。出力トランジスタPT<sub>r</sub>は、表面にn領域210が形成された半導体基板に形成されている。半導体基板の表面をn領域とする理由は、半導体基板表面にあるトラップ準位を電子で埋め尽くし、ノイズとなるホールの発生を抑えるためである。n領域210上には、略環状のゲート酸化膜260Pを介して、略環状の出力ゲート270Pが形成されている。略環状の出力ゲート270Pの内側は、出力トランジスタPT<sub>r</sub>のソース領域として機能し、外側は、出力トランジスタPT<sub>r</sub>のドレイン領域として機能する。また、出力ゲート270Pの下方に設けられたp領域220は、周囲をn領域で囲まれた電氣的にフローティングな領域であり、出力トランジスタPT<sub>r</sub>に基板電位を与える領域（基板領域）として機能する。なお、図3、図4では、金属配線と接続される不純物濃度の比較的高いソースコンタクト領域210sとドレインコンタクト領域210

dとが、図示されている。ただし、図3、図4では、ドレインコンタクト領域210dが1つの画素112内に描かれているが、複数の画素112に対して共通に設けられていても良い。

#### 【0040】

ホールポケットHPは、不純物濃度の比較的高いp領域(p<sup>+</sup>領域)222bによって構成されている。ホールポケットHPは、略環状の形状を有しており、略環状の出力ゲート270Pの下方に形成されている。

#### 【0041】

なお、図4では、図示の便宜上、ホールポケットHPは、基板200の表面から比較的深い位置に描かれているが、実際には、基板200の表面から比較的浅い位置に形成されている。また、ホールポケットHPは、比較的大きな厚みを有しているように描かれているが、実際には、比較的小さな厚みを有している。

#### 【0042】

クリアトランジスタCTr(図4)は、エンハンスメント形のpチャネルMOSトランジスタである。n領域210上には、ゲート酸化膜260Cを介して、クリアゲート270Cが形成されている。ホールポケットHPを含む第1のp領域220は、クリアトランジスタCTrのソース領域として機能する。クリアゲート270Cを介して第1のp領域220と対向する第2のp領域230は、クリアトランジスタCTrのドレイン領域として機能する。また、クリアゲート270Cの下方に設けられたn領域210は、クリアトランジスタCTrの基板領域として機能する。なお、図3、図4では、金属配線と接続される不純物濃度の比較的高いドレインコンタクト領域230dが図示されている。また、クリアゲート270Cの下方には、領域HP'が形成されている。領域HP'は、ホールポケットHPと同様に、不純物濃度の比較的高い第2の部分p領域(p<sup>+</sup>領域)222bによって構成されているが、この領域HP'は、後述する製造工程で残るものであり、省略可能である。

#### 【0043】

なお、基板200の電圧は、接地電位(約0V)に保たれている。また、前述のように、出力トランジスタPTrのドレイン電圧は、約3.3Vに保たれてい

る。このため、本実施の形態では、 $n$ 領域210が、隣接する画素間の電氣的な干渉を抑制する画素分離領域として機能している。

#### 【0044】

上記のように、本実施の形態の $p$ 領域220は、フォトダイオードPDのアノードとして機能すると共に、ホールポケットHPとして機能する。また、 $p$ 領域220は、出力トランジスタPT<sub>r</sub>の基板領域として機能すると共に、クリアトランジスタCT<sub>r</sub>のソース領域としても機能する。このような構造を採用すれば、画素の構造を比較的簡単にすることができる。

#### 【0045】

以上の説明から分かるように、本実施の形態における $n$ 領域210と第1の $p$ 領域220と第2の $p$ 領域230とは、それぞれ、本発明における画素形成領域と埋込領域と排出領域とに相当する。

#### 【0046】

B. 固体撮像装置の動作：

図5は、画素112の動作シーケンスを示す説明図である。図示するように、1回の動作シーケンスは、第1のクリア期間T1と、蓄積期間T2と、蓄積信号読出期間T3と、第2のクリア期間T4と、オフセット信号読出期間T5と、を経て完了する。2つのクリア期間T1、T4は、ホールポケットHP内のホールを排出するための期間である。蓄積期間T2は、ホールポケットHP内にホールを蓄積するための期間である。2つの読出期間T3、T5は、ホールポケットHP内に存在するホールの数に応じた信号を読み出すための期間である。

#### 【0047】

前述したように、本実施の形態では、出力トランジスタPT<sub>r</sub>のドレイン電圧PV<sub>d</sub>は、常に、約3.3Vに保たれており、クリアトランジスタCT<sub>r</sub>のドレイン電圧CV<sub>d</sub>は、常に、約0Vに保たれている。2つのクリア期間T1、T4における各トランジスタPT<sub>r</sub>、CT<sub>r</sub>の制御は、同じであり、2つの読出期間T3、T5における各トランジスタPT<sub>r</sub>、CT<sub>r</sub>の制御も、同じである。

#### 【0048】

B-1. クリア期間：



図6は、第1のクリア期間T1における画素112内部の状態を示す説明図である。第1のクリア期間T1では、図5に示すように、出力トランジスタPT<sub>r</sub>のゲート電圧PV<sub>g</sub>は、約0Vに設定され、ソース電圧PV<sub>s</sub>は、約3.3Vに設定される。このとき、出力トランジスタPT<sub>r</sub>は、オフ状態に設定される。また、クリアトランジスタCT<sub>r</sub>のゲート電圧CV<sub>g</sub>は、約0Vに設定される。このとき、クリアトランジスタCT<sub>r</sub>は、オン状態に設定される。これは、クリアトランジスタCT<sub>r</sub>の基板電圧（すなわち、クリアゲート270Cの下方のn領域210の電圧）は、出力トランジスタPT<sub>r</sub>のドレイン電圧PV<sub>d</sub>（約3.3V）とほぼ等しいためである。

#### 【0049】

クリア期間T1では、クリアゲート270Cの下方には、チャネル領域210cが形成される。このため、ホールポケットHPに存在するホールは、第1のp領域220とチャネル領域210cと第2のp領域230とを通過して、ドレインコンタクト領域230dから排出される。

#### 【0050】

第4のクリア期間T4（図5）における動作は、第1のクリア期間T1における動作と同様である。ただし、第1のクリア期間T1は、蓄積期間T2に先行して、ホールポケットHPに僅かに存在し得るホールを排出するために実行されているが、第2のクリア期間T4は、蓄積期間T2でホールポケットHPに蓄積されたホールを排出するために実行されている。

#### 【0051】

#### B-2. 蓄積期間：

図7は、蓄積期間T2における画素112内部の状態を示す説明図である。蓄積期間T2では、図5に示すように、出力トランジスタPT<sub>r</sub>のゲート電圧PV<sub>g</sub>が変更される。具体的には、ゲート電圧PV<sub>g</sub>は、約3.3Vに設定される。このとき、出力トランジスタPT<sub>r</sub>は、オン状態に設定される。また、クリアトランジスタCT<sub>r</sub>のゲート電圧CV<sub>g</sub>も変更される。具体的には、ゲート電圧CV<sub>g</sub>は、約3.3Vに設定される。このとき、クリアトランジスタCT<sub>r</sub>は、オフ状態に設定される。

## 【0052】

なお、上記のように、出力トランジスタ  $PTr$  をオン状態に設定すれば、ゲート酸化膜の界面に電子層を誘起させることができ、この結果、界面欠陥に起因する暗電流の発生を抑制することができる。

## 【0053】

蓄積期間  $T2$  では、フォトダイオード  $PD$  を構成する  $n$  領域  $210$  と  $p$  領域  $220$  との接合界面付近には、空乏領域（例えば、図7の2つの破線に挟まれた領域）が形成されている。フォトダイオード  $PD$  に光が入射すると、光電変換によって、電子-ホール対が発生する。電子は、 $n$  領域  $210$  を通って、ドレインコンタクト領域  $210d$  から排出される。一方、ホールは、 $p$  領域  $220$  内のホールポケット  $HP$  に集められ、蓄積される。これは、ホールポケット  $HP$  は、不純物濃度が比較的高く、ホールに対するポテンシャルが比較的低いためである。

## 【0054】

なお、ホールは、ホールポケット  $HP$  内に蓄積されると共に、領域  $HP'$  内にも蓄積される。しかしながら、ホールポケット  $HP$  内のホール数と領域  $HP'$  内のホール数との比は、ほぼ一定であると考えられる。したがって、領域  $HP'$  が存在する場合にも、出力トランジスタ  $PTr$  は、入射光の強度に応じた信号を出力することができる。

## 【0055】

B-3. 読出期間:

図8は、蓄積信号読出期間  $T3$  における画素  $112$  内部の状態を示す説明図である。蓄積信号読出期間  $T3$  では、図5に示すように、出力トランジスタ  $PTr$  のゲート電圧  $PVg$  が変更される。具体的には、ゲート電圧  $PVg$  は、ドレイン電圧  $PVd$  (約  $3.3V$ ) よりも低い約  $2V$  に設定される。また、蓄積信号読出期間  $T3$  では、出力トランジスタ  $PTr$  は、ソースフォロア回路として動作する。そして、出力トランジスタ  $PTr$  のソース領域からは、ホールポケット  $HP$  に蓄積されたホールの数に応じた蓄積電圧（蓄積信号）が読み出される。

## 【0056】

蓄積信号読出期間  $T3$  では、ホールは、ホールポケット  $HP$  内に蓄積された状

態で維持されている。出力トランジスタ  $PTr$  のソース電圧  $PVs$  は、出力トランジスタ  $PTr$  のしきい値電圧を  $Vth$  とすると、「 $PVs = PVg - Vth$ 」で表される。しきい値電圧  $Vth$  は、ホールポケット  $HP$  内に蓄積されたホール数に応じて変化する。具体的には、蓄積されたホールが多い程、しきい値電圧  $Vth$  は低くなる。そして、しきい値電圧  $Vth$  が低い程、ソース電圧  $PVs$  は高くなる。すなわち、ソース電圧  $PVs$  は、ホールポケット  $HP$  内に蓄積されたホールが多い程、換言すれば、フォトダイオード  $PD$  に入射する光の強度が高い程、高くなる。

#### 【0057】

オフセット信号読出期間  $T5$  (図5) における動作は、蓄積信号読出期間  $T3$  における動作と同様である。ただし、オフセット信号読出期間  $T5$  では、出力トランジスタ  $PTr$  のソース領域からは、ホールポケット  $HP$  にホールが殆ど存在しない状態のオフセット電圧 (オフセット信号) が出力される。出力回路 150 (図1) は、読み出された2つの信号 (すなわち、蓄積信号およびオフセット信号) の差分を増幅することによって、ノイズ成分が除去された画素データを出力する。

#### 【0058】

なお、本実施の形態では、図5に示すように、1回の動作シーケンスに、第2のクリア期間  $T4$  とオフセット信号読出期間  $T5$  とが含まれているが、2つの期間  $T4$ ,  $T5$  は、省略可能である。この場合には、出力回路 150 (図1) は、読み出された蓄積信号と、予め準備された所定のオフセット信号との差分から、画素データを得るようにすればよい。あるいは、出力回路 150 は、読み出された蓄積信号のみから画素データを得るようにすればよい。

#### 【0059】

以上説明したように、本実施の形態の固体撮像装置 100 は、マトリクス状に配列された複数の画素 112 を有する画素アレイ 110 を備えている。そして、各画素は、入射光の強度に応じてホールを発生させるためのフォトダイオード  $PD$  と、発生したホールを蓄積するためのホールポケット  $HP$  と、ホールポケットに蓄積されるホール数に応じて変化するしきい値電圧に応じた信号を出力する

ための出力トランジスタ  $PTr$  と、ホールポケットに蓄積されたホールを排出させるためのクリアトランジスタ  $CTr$  と、を備えている。このように、本実施の形態の固体撮像装置 100 では、各画素 112 は、クリアトランジスタ  $CTr$  を備えているため、そのチャネル領域 210c を介してホールポケット内のホールを容易に排出することが可能となる。

#### 【0060】

前述のように、従来では、各画素は、クリアトランジスタを備えていない。このため、従来では、出力トランジスタ  $PTr$  のゲート電極に比較的高い電圧（例えば、約 5 ～ 約 7 V）を印加することによって、ホールを基板 200 の深さ方向に向けて排出していた。すなわち、従来では、行制御回路 130（図 1）は、比較的大きな電圧を発生させる必要があった。

#### 【0061】

しかしながら、本実施の形態では、各画素は、クリアトランジスタ  $CTr$  を備えているため、クリアトランジスタを比較的低い電圧で制御するのみで、ホールを基板 200 の表面付近に形成されるチャネル領域 210c を介して排出することができる。したがって、ホールポケット  $HP$  内のホールを比較的容易に排出することが可能となる。

#### 【0062】

ところで、従来のように、ホールポケット  $HP$  に蓄積されたホールを基板 200 の深さ方向に向けて排出する場合には、 $p$  領域 220 の下方の  $n$  領域 210（以下、単に「下方領域」と呼ぶ）の存在に起因して、残像が発生したり、白キズが発生したりするという問題があった。なお、残像とは、前回の撮影時にホールポケット内に蓄積されたホールが十分に排出されておらず、今回の画像内に、前回の画像情報が残る現象を言う。また、白キズとは、ホールポケット内にホールが侵入することによって、出力される画素データが” 白 ” を示す現象を言う。

#### 【0063】

具体的には、下方領域の障壁の高さが比較的高い場合（すなわち、 $n$  領域の不純物濃度が比較的高い場合）や、障壁の幅が比較的大きい場合（すなわち、 $n$  領域の厚みが比較的大きい場合）には、 $n$  領域 210 の障壁を越えて、ホールを基

板 200 の深さ方向に向けて排出することが困難となる。このとき、ホールポケット HP にホールが残り、この結果、残像が発生する。一方、下方領域の障壁の高さが比較的低い場合（すなわち、n 領域の不純物濃度が比較的低い場合）や、障壁の幅が比較的小さい場合（すなわち、n 領域の厚みが比較的小さい場合）には、n 領域 210 から p 領域 220 に向かってホールが侵入し易い。このとき、ホールポケット HP にホールが蓄積され、この結果、白キズが発生する。すなわち、従来の構造を採用する場合には、残像の発生を抑制すると、白キズの発生を許容してしまい、逆に、白キズの発生を抑制すると、残像の発生を許容してしまう。このため、従来では、残像の発生と白キズの発生との双方を抑制することが困難であった。

#### 【0064】

一方、本実施の形態では、クリアトランジスタ CTr が設けられているため、蓄積されたホールを基板 200 の表面付近に形成されるチャネル領域 210c を介して排出することができる。すなわち、本実施の形態では、下方領域の障壁の高さや幅を比較的小さく設定する必要がないため、下方領域の障壁の高さや幅を比較的大きく設定することができる。これにより、残像の発生と白キズの発生との双方を容易に抑制することができ、この結果、画質を向上させることが可能となる。例えば、下方領域の不純物濃度は、p 領域 220 の側方の n 領域 210（以下、単に「側方領域」と呼ぶ）の不純物濃度よりも高く設定されていればよい。また、これに代えて、あるいは、これと共に、下方領域の厚みは、側方領域の厚み（p 領域 220 の厚みとほぼ等しい）よりも大きく設定されていればよい。

#### 【0065】

C. 固体撮像装置の製造方法：

図 9，図 10，図 11，図 12 は、固体撮像装置 100（図 1）の製造工程の概略を示す説明図である。ただし、各図は、図 4 の画素 112 の製造工程に注目して描かれている。

#### 【0066】

図 9（A）では、まず、p 型のシリコン基板 200 が準備される。次に、熱酸化によって、基板 200 上に第 1 のシリコン酸化膜 250 が形成される。なお、

この酸化膜 250 は、後続の処理における基板 200 の損傷を抑制するために形成される。

#### 【0067】

図 9 (B) では、イオン注入によって、基板 200 内に不純物が導入される。このとき、4 つの層が形成される。具体的には、最下層には、リン (P) イオンを注入することによって、n 層 211 が形成される。n 層 211 上には、硼素 (B) イオンを注入することによって、p 層 221 と p<sup>+</sup> 層 222 とが形成される。ただし、p<sup>+</sup> 層 222 の不純物濃度は、p 層 221 よりも高く設定されている。最上層には、ヒ素 (As) イオンを注入することによって、n 層 212 が形成される。

#### 【0068】

図 9 (C) では、略矩形の第 1 のレジスト R1 が形成される。次に、第 1 のレジスト R1 をマスクとして、イオン注入によって、基板 200 内に不純物が導入される。具体的には、リン (P) イオンを注入することによって、中央部に p 領域 221a と p<sup>+</sup> 領域 222a とが残され、周辺部に n 領域 213 が形成される。この後、第 1 のレジスト R1 が除去される。

#### 【0069】

なお、図 9 (C) の 2 つの n 層 211, 212 と n 領域 213 とは、図 4 に示す n 領域 210 を構成し、図 9 (C) の p 領域 221a と p<sup>+</sup> 領域 222a とは、図 4 に示す第 1 の p 領域 220 を構成する。

#### 【0070】

図 10 (A) では、まず、第 1 のシリコン酸化膜 250 が除去される。次に、熱酸化によって、基板 200 上に第 2 のシリコン酸化膜 260 が形成される。

#### 【0071】

なお、図 10 (A) の第 2 のシリコン酸化膜 260 は、図 4 に示すトランジスタ PTr, CTr のゲート酸化膜 260P, 260C を構成する。

#### 【0072】

図 10 (B) では、まず、第 2 の酸化膜 260 上に、減圧 CVD によって、ポリシリコン層 271 が堆積形成される。次に、ポリシリコン層 271 上に、スパ

ッタリングによって、タングステンシリサイド (W-Si) 層 272 が形成される。タングステンシリサイド層 272 上には、さらに、減圧 CVD によって、第 3 のシリコン酸化膜 280 が堆積形成される。第 3 の酸化膜 280 は、後続のイオン注入において、不純物イオンがタングステンシリサイド層 272 で反射されるのを防止するために形成されている。

#### 【0073】

なお、図 10 (B) の 2 つの層 271, 272 は、図 4 に示すトランジスタ PTr, CTr のゲート電極 270P, 270C を構成する。

#### 【0074】

図 10 (C) では、まず、第 2 のレジスト R2 が形成される。次に、第 2 のレジスト R2 をマスクとして、エッチングが実行される。このとき、出力トランジスタ PTr のゲート電極 270P とクリアトランジスタ CTr のゲート電極 270C とが、形成される。また、ゲート電極 270P, 270C 上には、酸化膜 280P, 280C が残されている。この後、第 2 のレジスト R2 が除去される。

#### 【0075】

図 11 (A) では、まず、第 3 のレジスト R3 が形成される。次に、第 3 のレジスト R3 とクリアゲート 270C (より具体的には、クリアゲート 270C 上の酸化膜 280C) とをマスクとして、イオン注入によって、基板 200 内に不純物が導入される。具体的には、硼素 (B) イオンを注入することによって、クリアゲート 270C 付近の n 領域 213 内に、p 領域 231 が形成される。この後、第 3 のレジスト R3 が除去される。

#### 【0076】

図 11 (B) では、減圧 CVD によって、第 4 のシリコン酸化膜 290 が堆積形成される。

#### 【0077】

図 11 (C) では、反応性イオンエッチング (RIE) などの異方性エッチングが実行される。エッチングは、ゲート電極 270P, 270C 周囲の第 2 の酸化膜 260 が完全に除去されるまで実行される。このとき、ゲート電極 270P, 270C の下方には、ゲート酸化膜 260P, 260C が形成され、ゲート電

極 270 P, 270 C の側方には、サイドウォール 290 P, 290 C が形成される。

#### 【0078】

図 12 (A) では、2 つのトランジスタ PTr, CTr のゲート電極部分 (より具体的には、ゲート電極 270 P, 270 C 上の酸化膜 280 P, 280 C、および、ゲート電極 270 P, 270 C のサイドウォール 290 P, 290 C) をマスクとして、イオン注入によって、基板 200 内に不純物が導入される。具体的には、リン (P) イオンを注入することによって、p<sup>+</sup> 領域 222 a (図 11 (C)) の一部の伝導型が反転し、n 領域 214 が形成される。そして、ゲート電極部分の下方には、p<sup>+</sup> 領域 222 b が残される。このとき、クリアゲート 270 C 付近の p 領域 231 内にも、n 領域 232 が形成される。

#### 【0079】

なお、図 12 (A) の出力ゲート 270 P の下方に残る p<sup>+</sup> 領域 222 b は、図 4 に示すホールポケット HP を構成し、クリアゲート 270 C の下方に残る p<sup>+</sup> 領域 222 b は、領域 HP' を構成する。

#### 【0080】

図 12 (B) では、まず、第 4 のレジスト R4 が形成される。なお、第 4 のレジスト R4 は、第 3 のレジスト R3 (図 11 (A)) と同じ形状である。次に、第 4 のレジスト R4 とクリアゲート 270 C (より具体的には、クリアゲート 270 C 上の酸化膜 280 C) をマスクとして、イオン注入によって、基板 200 内に不純物が導入される。具体的には、図 12 (A) で形成された n 領域 232 内に硼素 (B) イオンを注入することによって、n 領域 232 の伝導型が反転し、p 領域 233 が形成される。この後、第 4 のレジスト R4 が除去される。

#### 【0081】

なお、図 12 (B) の p 領域 231, 233 は、図 4 に示す第 2 の p 領域 230 を構成する。

#### 【0082】

上記のような工程を経て、図 12 (C) に示す画素構造が作製される。図 12 (C) では、後続の金属配線工程において、金属配線を接続するためのコンタ



ト領域 210s, 210d, 230d が形成されている。コンタクト領域形成工程は、上記の各工程の途中で実行されもよいし、金属配線工程の直前に実行されてもよい。なお、前述したように、出力トランジスタ PTr のドレインコンタクト領域 210d は、実際には、複数の画素に対して共通に設けられている。

### 【0083】

以上説明したように、本実施の形態の製造工程は、(a) n 領域 210 と、n 領域 210 の内部に設けられた p 領域 220 と、を有する p 型半導体基板 200 を準備する工程 (図 9 (A) ~ 図 9 (C)) と、(b) 出力ゲート 270P とクリアゲート 270C とを n 領域 210 上にゲート酸化膜 260P, 260C を介して形成する工程 (図 10 (A) ~ 図 11 (C)) と、(c) 出力ゲート 270P を含む領域をマスクとして利用して、p<sup>+</sup> 領域 222a にその伝導型を反転可能な不純物を導入することによって、出力ゲート 270P の下方に不純物濃度の比較的高いホールポケット HP を残す工程 (図 12 (A)) と、(d) n 領域 210 内に、ホールポケット HP から排出されるホールが流入する p 領域 230 を形成する工程 (図 12 (B)) と、を備えている。この方法を採用すれば、図 4 に示す固体撮像装置 100 を作製することができる。

### 【0084】

また、本実施の形態では、図 12 (A) に示すように、出力ゲート 270P を含む領域は、マスクとして利用されているため、ホールポケット HP を、出力ゲート 270P の下方に自己整合的に形成することができる。このため、各画素 112 に含まれる出力ゲート 270P とホールポケット HP との位置関係をほぼ一定にすることができる。仮に、各画素に含まれる出力ゲートとホールポケットとの位置関係がずれている場合には、蓄積されるホールの数は、しきい値の変化量に効率よく反映されず、画質が劣化してしまう。しかしながら、本実施の形態では、ホールポケットは、自己整合的に形成されているため、画質の劣化を抑制することが可能となる。

### 【0085】

なお、本実施の形態では、図 9 (C) に示すように、p 領域 221a と p<sup>+</sup> 領域 222a とを囲む n 領域 213 は、初期の工程で形成されている。このため、

画素分離領域として機能する n 領域 213 の幅を一定に保つことができ、この結果、n 領域 213 の幅の増減に起因する感度のバラツキを抑制することが可能となっている。

#### 【0086】

##### D. 画素構造の変形例：

図13は、画素構造の第1の変形例を示す説明図である。図13は、図4とはほぼ同じであるが、この画素112Aでは、n領域210Aと第1のp領域220Aとの断面形状が変更されている。具体的には、図4の第1のp領域220では、ホールポケットHP（および領域HP'）の側方には、n領域が形成されているが、図13の第1のp領域220Aでは、ホールポケットHP（および領域HP'）の側方には、p領域が形成されている。この構造は、例えば、図12（A）の工程で注入されるリン（P）イオンの濃度を比較的小さくすることによって、作製可能である。

#### 【0087】

図13の構造を採用する場合にも、画素112Aは、図4の構造を採用する場合と同様に動作可能である。ただし、図4の構造を採用すれば、ホールポケットHP内にホールをより局在化させることができるため、画素の感度をより高めることができるという利点がある。

#### 【0088】

図14は、画素構造の第2の変形例を示す説明図である。図14は、図4とはほぼ同じであるが、この画素112Bでは、n領域210Bと第1のp領域220Bとの断面形状が変更されている。具体的には、図4の第1のp領域220では、クリアゲート270Cの下方に領域HP'が形成されているが、図14の第1のp領域220Bでは、形成されていない。なお、この構造は、例えば、図9（C）の工程と図10（A）の工程との間に、クリアゲート270Cが形成されるべき領域に開口を有するレジストを形成する工程と、リン（P）イオンをp+領域222a内に注入する工程と、を追加すればよい。こうすれば、p+領域222a内にn領域を形成することができ、この結果、領域HP'の形成が防止される。

## 【0089】

図14の構造を採用する場合にも、画素112Bは、図4の構造を採用する場合と同様に動作可能である。また、図14の構造を採用すれば、領域HP'にホールが蓄積されずに済むため、画素の感度をより高めることができるという利点がある。

## 【0090】

このように、固体撮像装置は、種々の構造を採用し得ると共に、種々の製造方法を採用し得る。

## 【0091】

なお、本発明は上記の実施の形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

## 【0092】

(1) 上記実施の形態では、前述のように、n領域210が画素分離領域として機能しているが、さらに、画素間を分離するpn接合や誘電体などの分離構造を追加するようにしてもよい。この構成は、例えば、出力トランジスタPT<sub>r</sub>のドレイン電圧を変化させる場合等に好適である。

## 【0093】

(2) 上記実施の形態では、画素112に含まれるn領域やp領域は、イオン注入を利用して、半導体の伝導型を反転させることによって形成されているが、これに代えて、エピタキシャル成長によって形成されていてもよい。

## 【0094】

(3) 上記実施の形態では、出力トランジスタPT<sub>r</sub>は、略環状のゲート電極270Pを有しているが、これに代えて、略矩形のゲート電極を有していてもよい。ただし、上記実施の形態のようにすれば、画素の構造を比較的簡単にすることができるという利点がある。なお、上記実施の形態では、略環状のゲート電極は、略円形の外周と略円形の内周とを有しているが、これに代えて、略多角形の外周と略多角形の内周とを有していてもよい。あるいは、略多角形の外周と略円形の内周とを有していてもよい。すなわち、略環状とは、閉じた形状であればよい。

。

#### 【0095】

(4) 上記実施の形態では、各トランジスタ  $PTr$ 、 $CTr$  は、ゲート絶縁膜として、酸化膜を有しているが、これに代えて、窒化膜を有していてもよい。

#### 【0096】

また、上記実施の形態では、各トランジスタ  $PTr$ 、 $CTr$  は、ポリシリコンとタンゲステンシリサイドとで構成されたゲート電極を有しているが、これに代えて、金属材料のみで構成されたゲート電極を有していてもよい。

#### 【0097】

一般には、各画素は、絶縁ゲート型の出力トランジスタと絶縁ゲート型のクリアトランジスタとを備えていればよい。

#### 【0098】

(5) 上記実施の形態では、蓄積部は、ホールを蓄積させているが、これに代えて、電子を蓄積させるようにしてもよい。なお、この場合には、 $p$  型の半導体領域と  $n$  型の半導体領域とを置換すればよい。

#### 【0099】

(6) 上記実施の形態では、各画素は、ホールポケットに蓄積されたホールを排出させるためのクリアゲートを備えているが、さらに、ブルーミング現象を抑制する機能を有するオーバフロードレインゲートを備えるようにしてもよい。具体的には、一部の画素に強度の高い光が入射すると、発生したホールの一部が  $p$  領域 220 から溢れ出て、周囲の画素の  $p$  領域 220 に流入し得る。このとき、周囲の画素は、光が入射していないにも関わらず、光が入射したことを示す画素データを出力してしまう（ブルーミング現象）。しかしながら、オーバフローゲートを用いれば、溢れ出たホールを他の経路を介して基板等に排出することができるため、ブルーミング現象を抑制することができる。

#### 【0100】

オーバフロードレインゲートは、例えば、フォトダイオード  $PD$  を挟んで、クリアゲートと対向する位置に設けられる。そして、クリアゲートは、ホールポケットに比較的近い位置に設けられ、オーバフロードレインゲートは、ホールポケ

ットから比較的遠い位置に設けられる。具体的には、クリアゲートとホールポケットとの間の最短距離は、例えば、約  $0.6\ \mu\text{m}$  以内に設定されることが好ましく、約  $0.3\ \mu\text{m}$  に設定されることが望ましい。

【図面の簡単な説明】

【図 1】 本発明の実施の形態としての固体撮像装置の全体構成を示す説明図である。

【図 2】 図 1 の画素アレイ 110 と行制御回路 130 と列制御回路 140 との内部構成を示す説明図である。

【図 3】 画素 112 のレイアウトを模式的に示す説明図である。

【図 4】 画素 112 の断面を模式的に示す説明図である。

【図 5】 画素 112 の動作シーケンスを示す説明図である。

【図 6】 第 1 のクリア期間  $T_1$  における画素 112 内部の状態を示す説明図である。

【図 7】 蓄積期間  $T_2$  における画素 112 内部の状態を示す説明図である。

【図 8】 蓄積信号読出期間  $T_3$  における画素 112 内部の状態を示す説明図である。

【図 9】 固体撮像装置 100 (図 1) の製造工程の概略を示す説明図である。

【図 10】 固体撮像装置 100 (図 1) の製造工程の概略を示す説明図である。

【図 11】 固体撮像装置 100 (図 1) の製造工程の概略を示す説明図である。

【図 12】 固体撮像装置 100 (図 1) の製造工程の概略を示す説明図である。

【図 13】 画素構造の第 1 の変形例を示す説明図である。

【図 14】 画素構造の第 2 の変形例を示す説明図である。

【符号の説明】

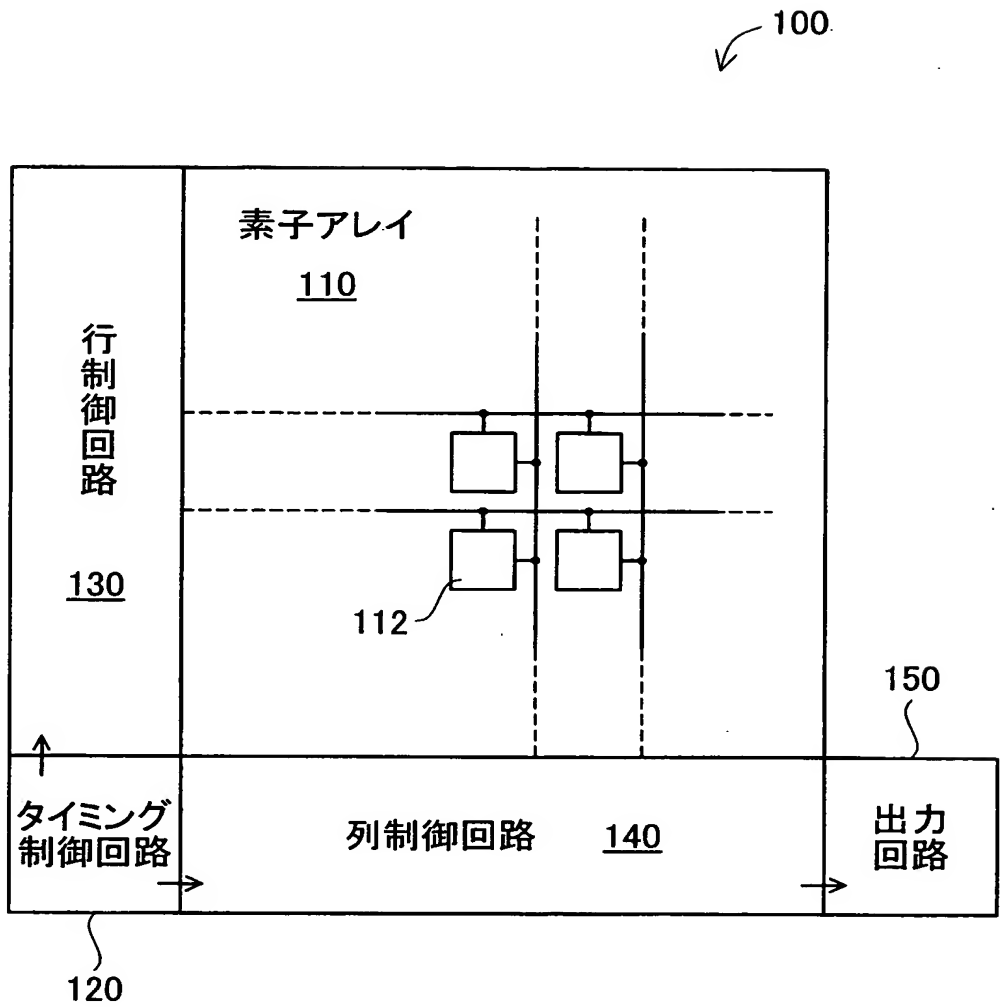
100…固体撮像装置

1 1 0…画素アレイ  
1 1 2, 1 1 2 A, 1 1 2 B…画素  
1 2 0…タイミング制御回路  
1 3 0…行制御回路  
1 3 2…出力ゲート制御部  
1 3 4…出力ドレイン制御部  
1 3 6…クリアゲート制御部  
1 3 8…クリアドレイン制御部  
1 4 0…列制御回路  
1 4 2…蓄積信号用ラインメモリ  
1 4 4…オフセット信号用ラインメモリ  
1 4 6…水平シフトレジスタ  
1 5 0…出力回路  
2 0 0…半導体基板（p 型シリコン基板）  
2 1 0, 2 1 0 A, 2 1 0 B…n 領域  
2 1 0 c…チャネル領域  
2 1 0 d…ドレインコンタクト領域  
2 1 0 s…ソースコンタクト領域  
2 1 1…n 層  
2 1 2…n 層  
2 1 3…n 領域  
2 1 4…n 領域  
2 2 0, 2 2 0 A, 2 2 0 B…第 1 の p 領域  
2 2 1…p 層  
2 2 2…p<sup>+</sup> 層  
2 2 1 a…p 領域  
2 2 2 a…p<sup>+</sup> 領域  
2 2 2 b…p<sup>+</sup> 領域  
2 3 0…第 2 の p 領域

2 3 0 d …ドレインコンタクト領域  
2 3 1 …p 領域  
2 3 2 …n 領域  
2 3 3 …p 領域  
2 5 0 …第 1 のシリコン酸化膜  
2 6 0 …第 2 のシリコン酸化膜  
2 6 0 P, 2 6 0 C …ゲート酸化膜  
2 7 0 P …出力ゲート  
2 7 0 C …クリアゲート  
2 7 1 …ポリシリコン層  
2 7 2 …タングステンシリサイド層  
2 8 0 …第 3 のシリコン酸化膜  
2 8 0 P, 2 8 0 C …酸化膜  
2 9 0 …第 4 のシリコン酸化膜  
2 9 0 P, 2 9 0 C …サイドウォール  
P T r …出力トランジスタ  
P V d …ドレイン電圧  
P V g …ゲート電圧  
P V s …ソース電圧  
C T r …クリアトランジスタ  
C V d …ドレイン電圧  
C V g …ゲート電圧  
H P …ホールポケット  
P D …フォトダイオード

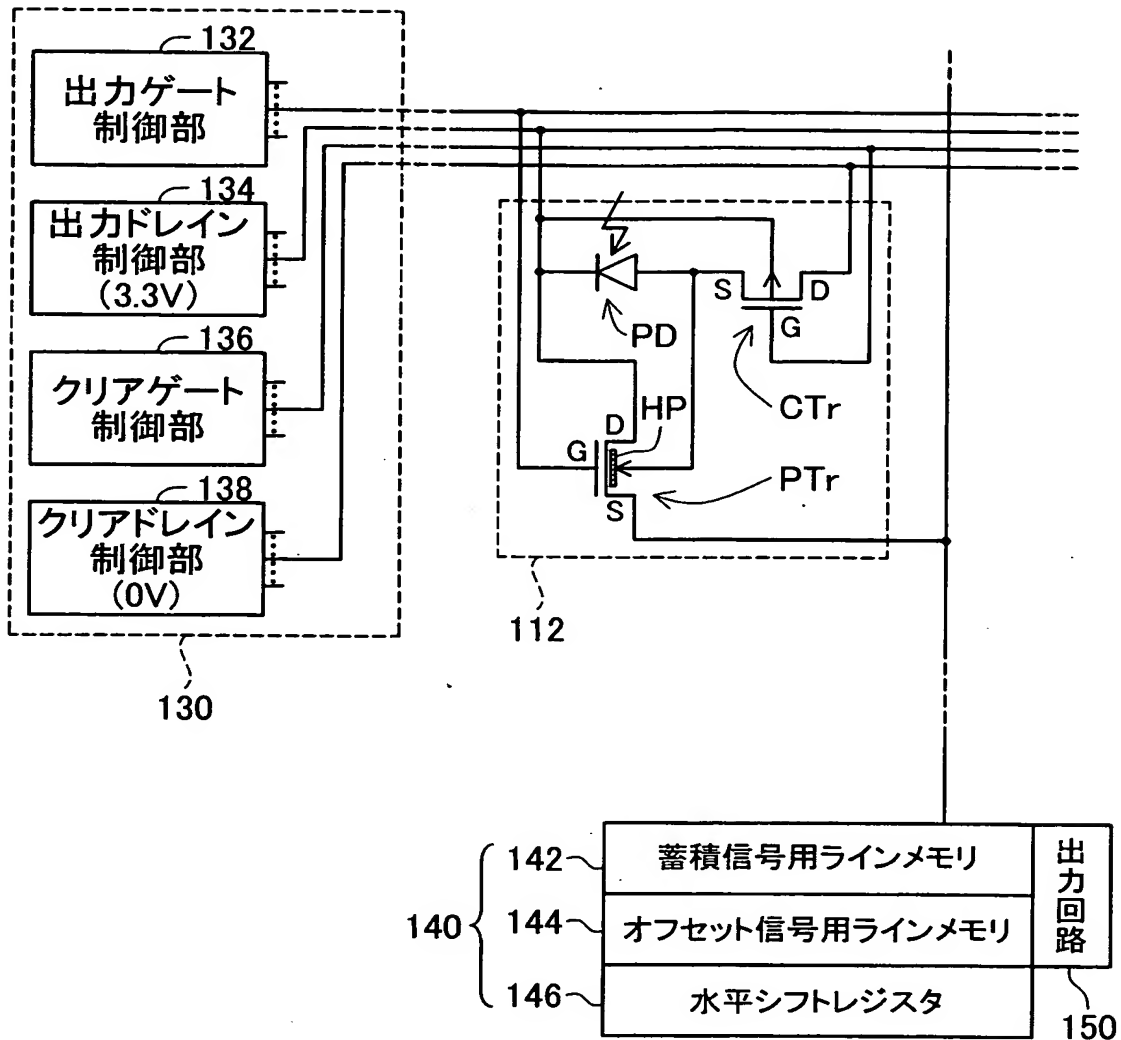
【書類名】 図面

【図 1】

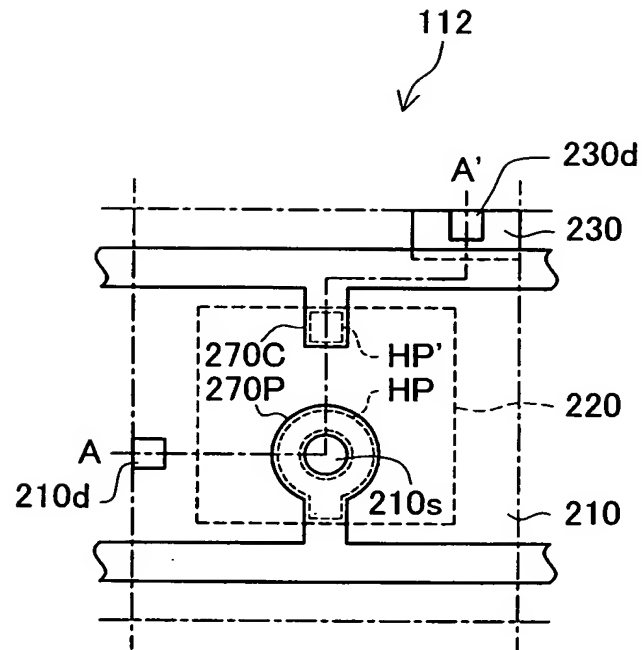




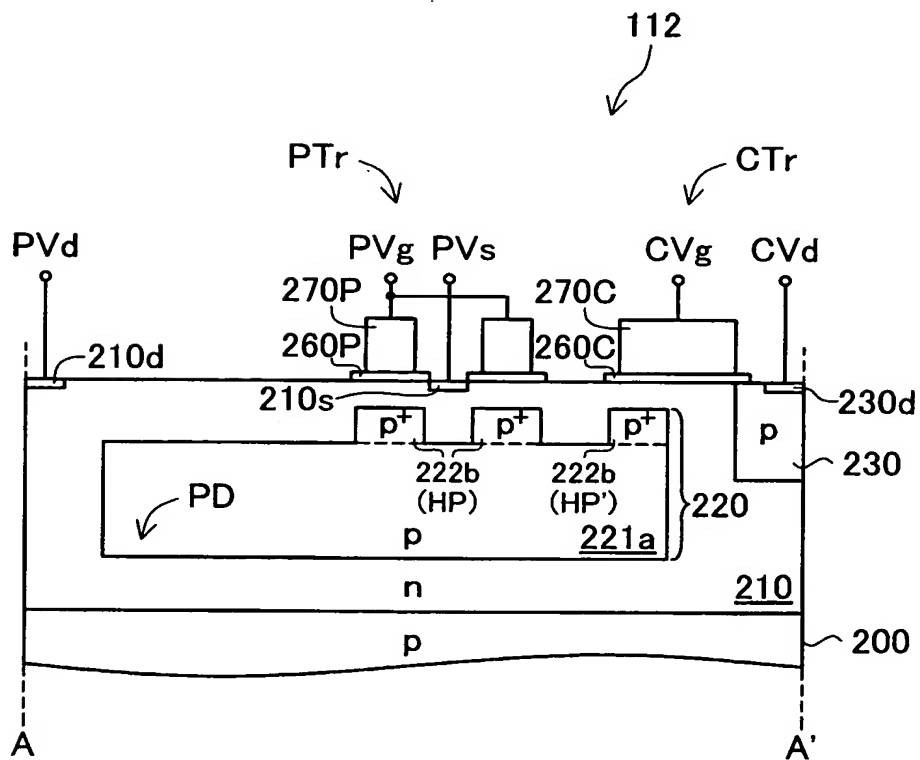
【図 2】



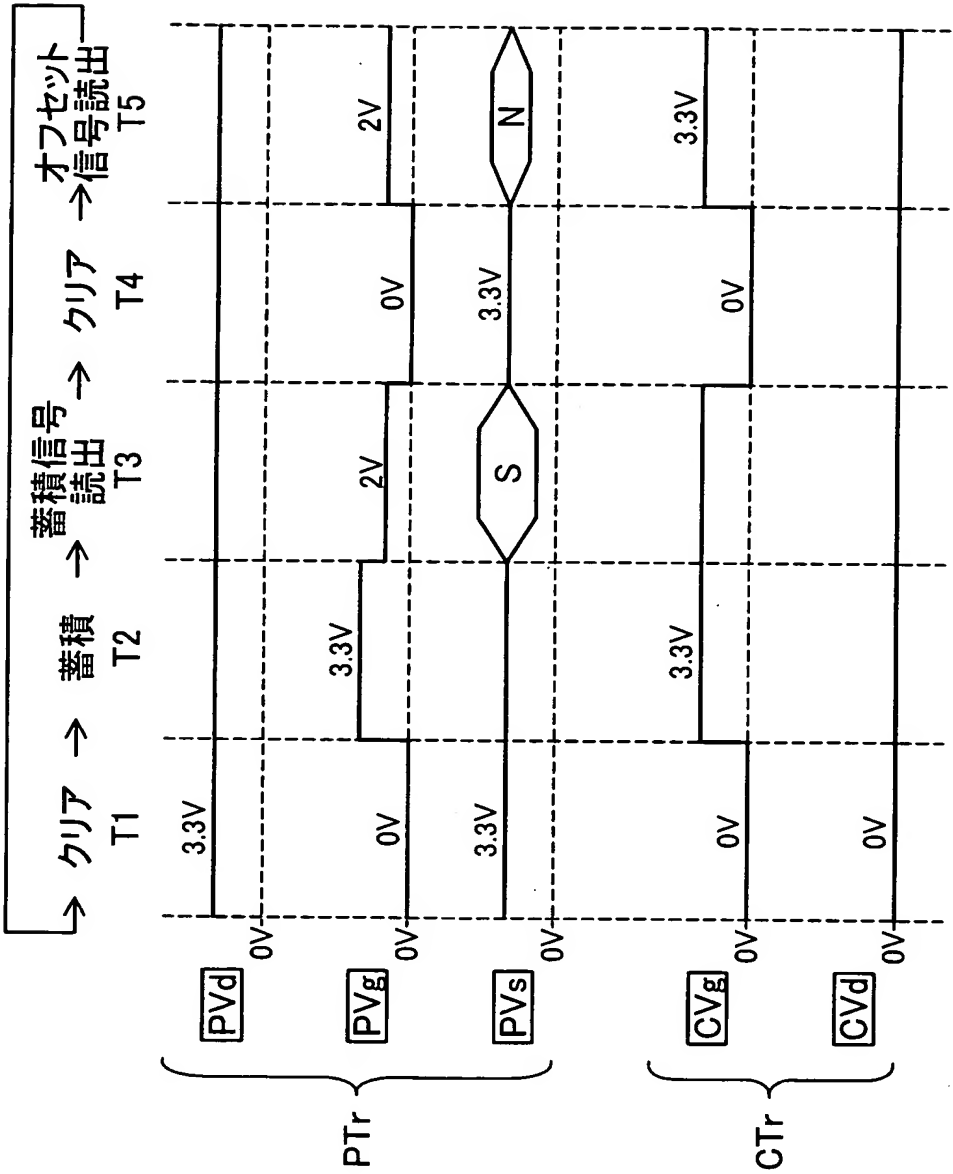
【図 3】



【図 4】

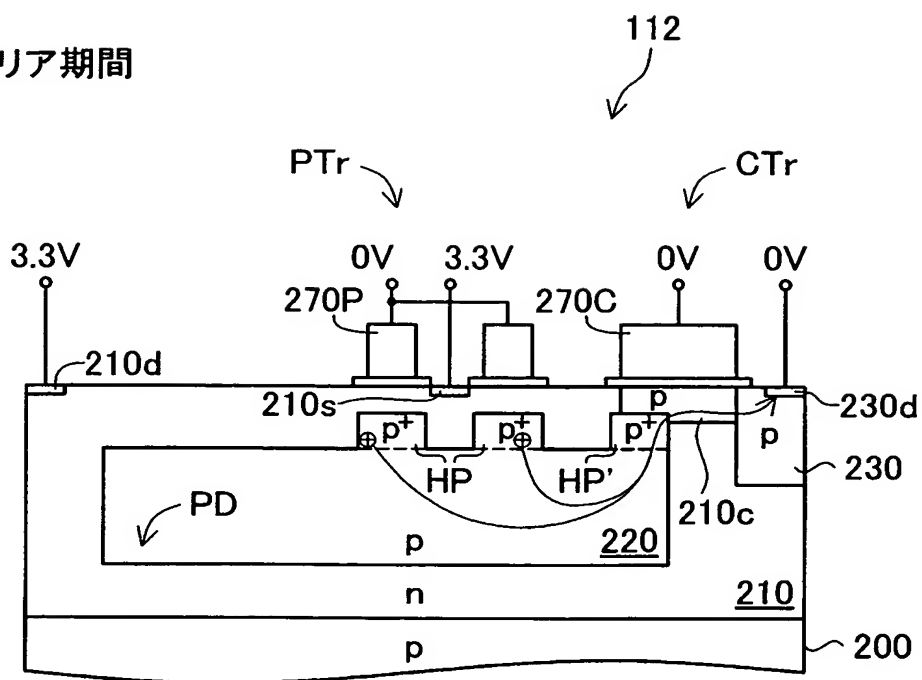


【図5】



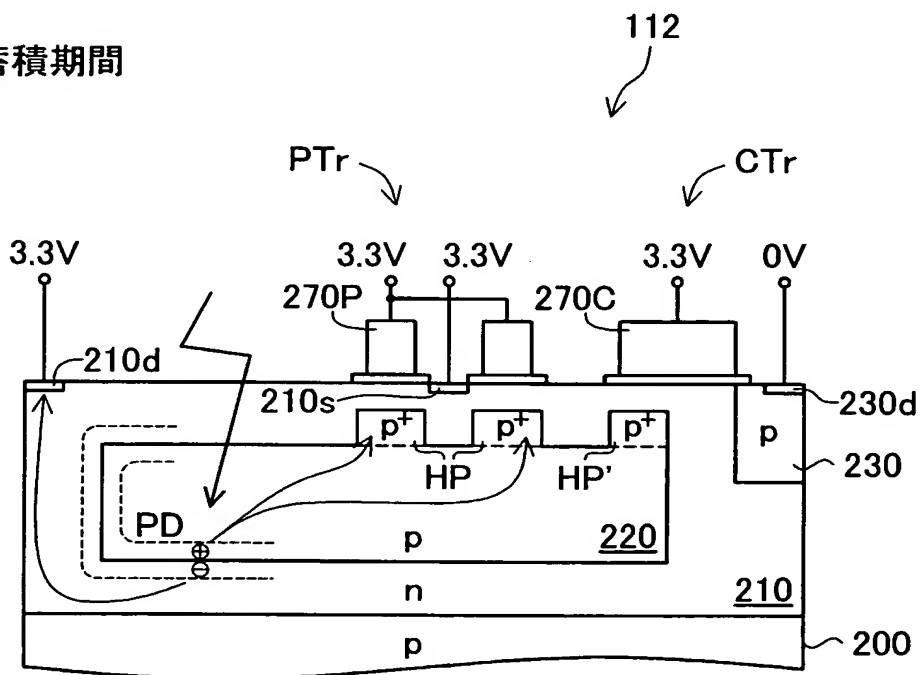
【図 6】

## クリア期間

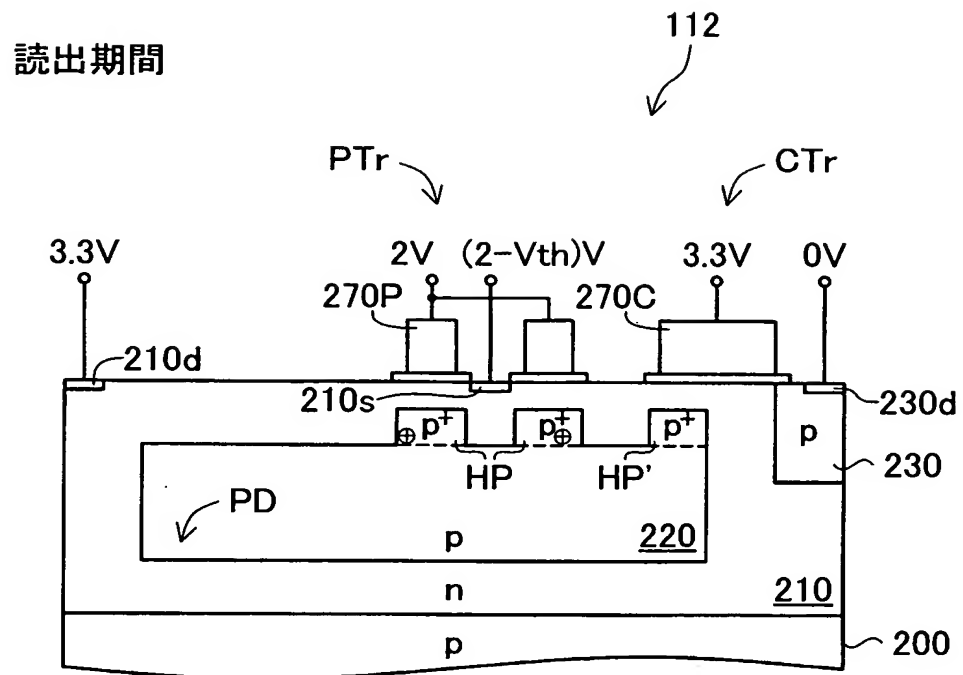


【圖 7】

## 蓄積期間

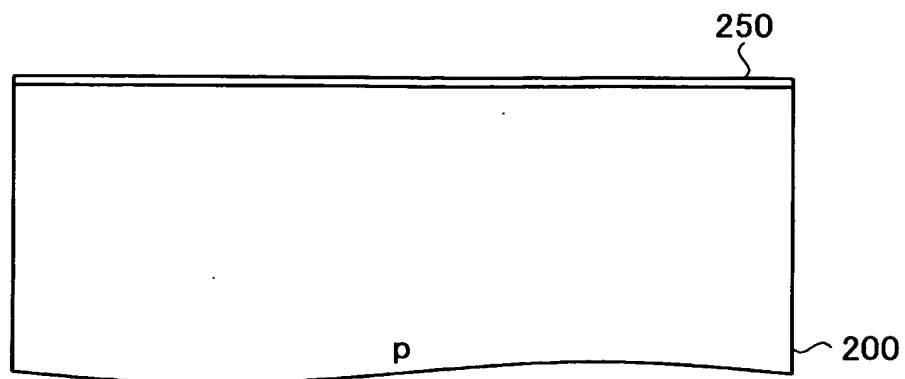


【図 8】

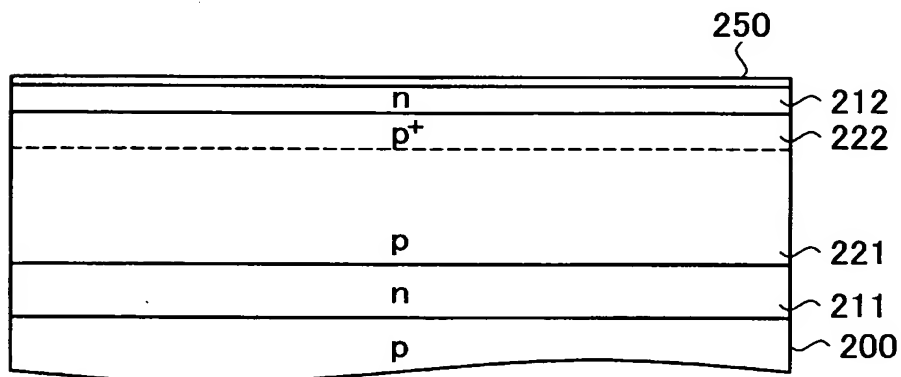


【図 9】

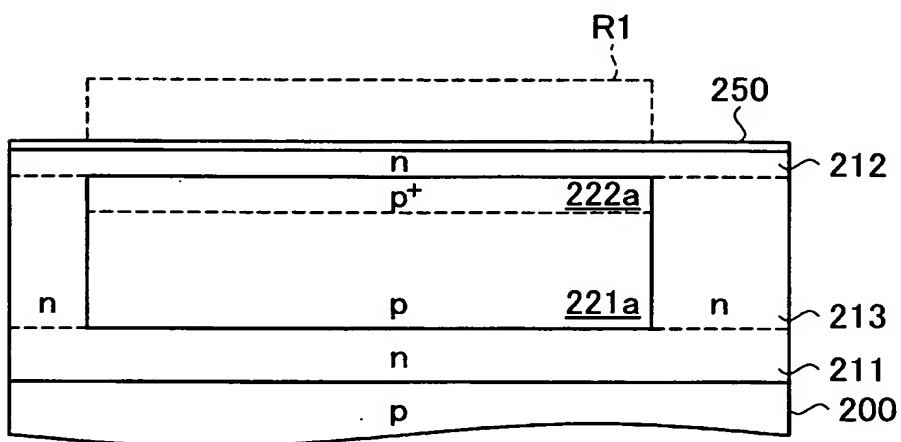
(A)



(B)

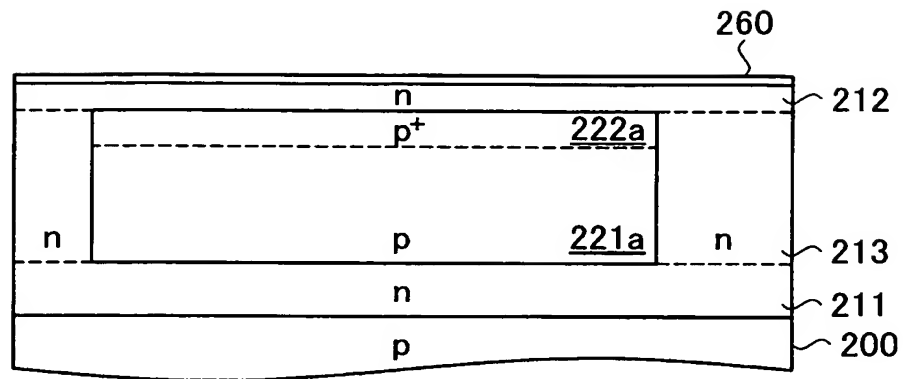


(C)

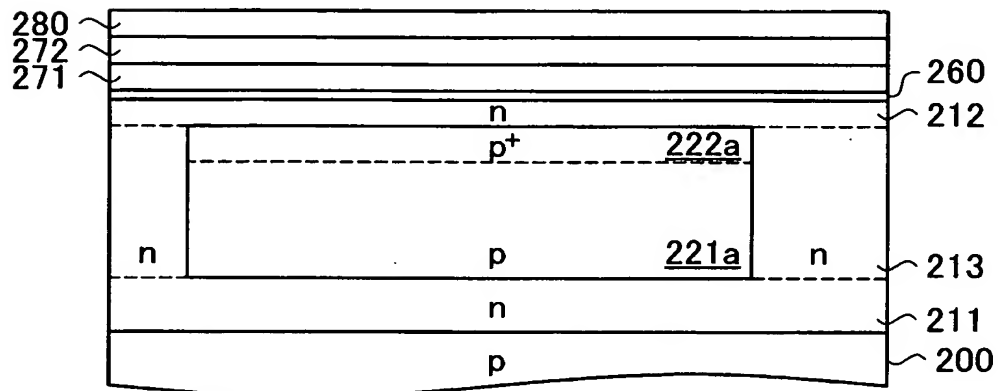


【図 10】

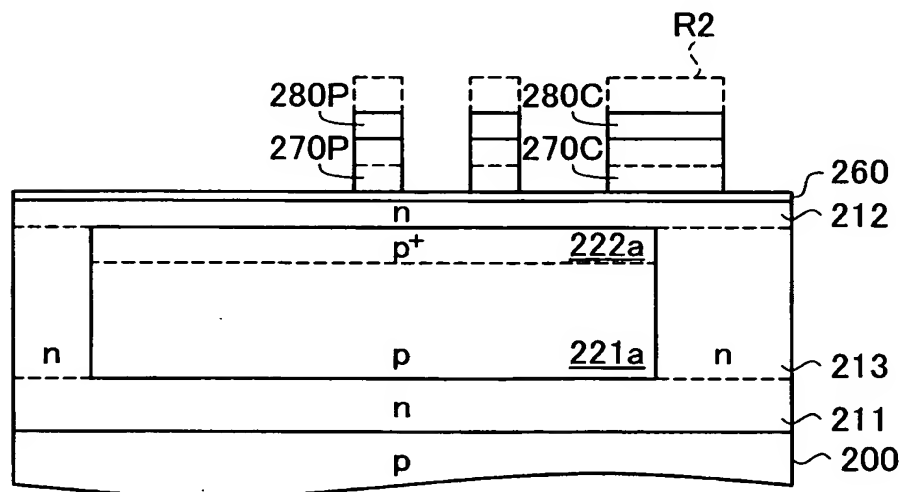
(A)



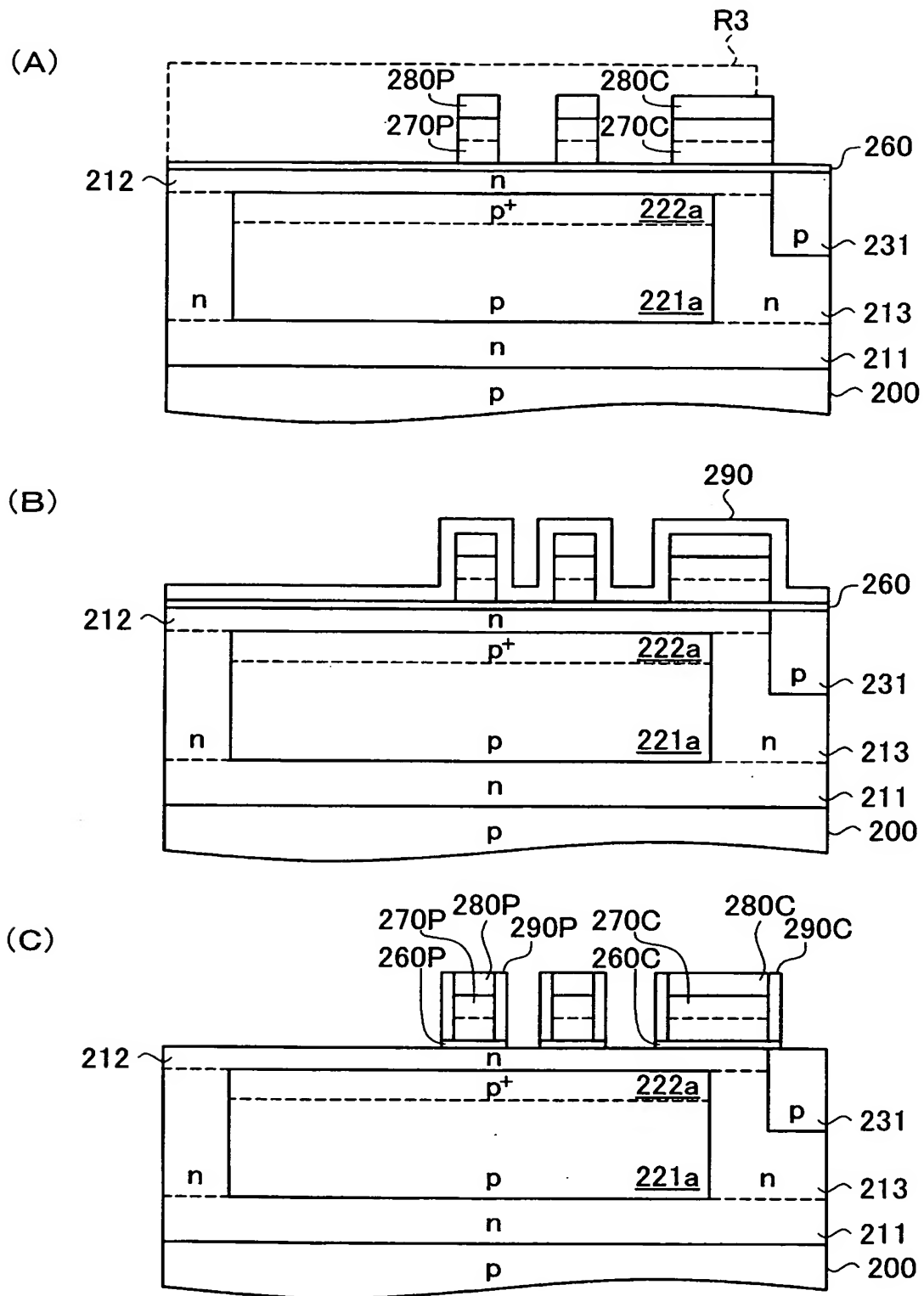
(B)



(C)



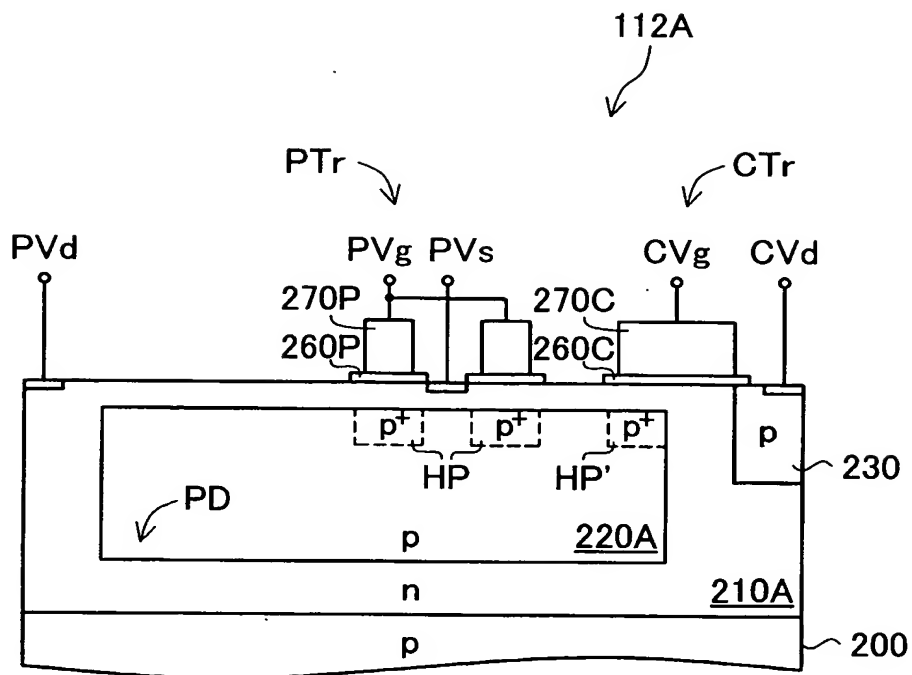
【図 11】



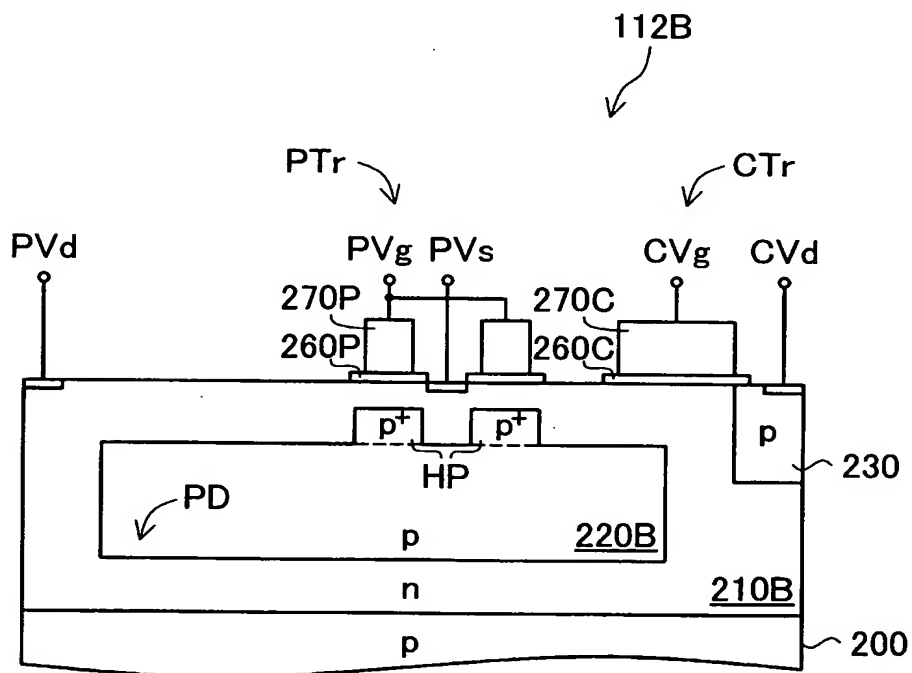




【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 蓄積部内のキャリアを容易に排出することのできる技術を提供する。

【解決手段】 固体撮像装置は、マトリクス状に配列された複数の画素 112 を有する画素アレイを備える。画素は、入射光の強度に応じてキャリアを発生させるためのフォトダイオード部 P D と、発生したキャリアを蓄積するための蓄積部 H P と、蓄積部に蓄積されるキャリアの数に応じて変化するしきい値電圧に応じた信号を出力するための絶縁ゲート型の出力トランジスタ部 P T r と、蓄積部に蓄積されたキャリアを排出させるための絶縁ゲート型のクリアトランジスタ部 C T r と、を備える。蓄積部に蓄積されたキャリアは、クリアトランジスタ部のチャネル領域を介して排出される。

【選択図】 図 4

特願 2 0 0 3 - 0 6 2 7 5 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社